

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-102846

(43)Date of publication of application : 30.04.1991

(51)Int.Cl.

H01L 21/66  
G01N 21/88  
G06F 15/62  
H01L 21/027

(21)Application number : 01-240080

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.09.1989

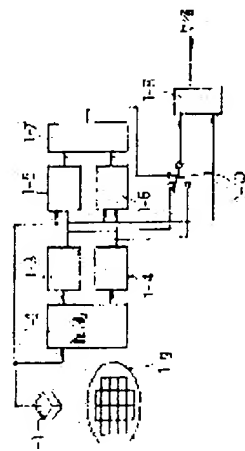
(72)Inventor : HIROI TAKASHI  
KUBOTA HITOSHI  
MAEDA SHUNJI  
MAKIHARA HIROSHI  
ENDO FUMIAKI

## (54) PATTERN DEFECT DETECTION METHOD

### (57)Abstract:

**PURPOSE:** To effect pattern defect detection while automatically switching 2-cell comparison and 2-chip comparison without specifying coordinates by selecting a comparison image pattern related to the degree of the maximum matching and by performing pattern defect detection between a reference image pattern and a detection image pattern.

**CONSTITUTION:** A comparison image pattern from comparison image take-out means 3 and 4 is compared with a reference image pattern or a detection image pattern in terms of matching by a 2-cell matching comparison means 1-2 and a 2-chip matching comparison means 1-6, respectively and the degree of matching is output as a result of matching comparison. Being based on this degree of matching, a comparison system related to the greatest matching is selected from the degree of matching by a 2-chip/2-cell switching means 1-7 and pattern defect detection is performed by making comparison of the comparison image pattern by this comparison method with the reference image pattern or the detection image pattern by a pattern defect detection means 1-8 through an image selection means 1-10.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-102846

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月30日

H 01 L 21/66  
G 01 N 21/88

J  
E 7013-5F  
2107-2G  
2104-5F

H 01 L 21/30 3 0 1 V\*

審査請求 未請求 請求項の数 5 (全11頁)

⑭ 発明の名称 パターン欠陥検出方法

⑰ 特 願 平1-240080

⑱ 出 願 平1(1989)9月18日

⑲ 発 明 者 広 井 高 志 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 窪 田 仁 志 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 前 田 俊 二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 牧 平 坦 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 秋本 正実  
最終頁に続く

明 細 書

1. 発明の名称

パターン欠陥検出方法

2. 特許請求の範囲

1. 検出されたパターンを記憶したうえ、該記憶に係るパターンの中より参照画像パターンと複数の比較画像パターンとを同時に取り出したうえ遅延せしめる一方、該参照画像パターンと該比較画像パターン各々とを画像位置ずれを許容しつつパターンマッチング比較し、比較画像パターン対応に得られるパターンマッチング比較結果としての一致度にもとづき、遅延せしめられている比較画像パターンの中より何れか1つを選択、位置ずれ補正したうえ、遅延せしめられている参照画像パターンとの間でパターン欠陥検出を行なうようにしたことを特徴とするパターン欠陥検出方法。

2. 複数の比較画像パターンとして、複数の2チップ比較すべき座標のパターンと、複数の2セル比較すべき座標のパターンとが取り出される、

請求項1記載のパターン欠陥検出方法。

3. 遅延せしめられている比較画像パターンの中より何れか1つが選択される際には、比較画像パターン対応に得られるパターンマッチング比較結果としての一致度のうち、最も大きい一致度に係る比較画像パターンが選択される、請求項1, 2の何れかに記載のパターン欠陥検出方法。

4. 複数の2チップ比較すべき座標のパターンは、該パターンの座標と参照画像の座標との差がチップピッチの整数倍として、複数の2セル比較すべき座標のパターンは、該パターンの座標と参照画像の座標との差がセルピッチの整数倍としてそれぞれ取り出される、請求項2, 3の何れかに記載のパターン欠陥検出方法。

5. 比較画像パターンと参照画像パターンとの間でパターン欠陥検出が行なわれるに際しては、該比較画像パターンに係る比較方式に応じた欠陥判定用しきい値を以て欠陥の有無が判定される、請求項1～4の何れかに記載のパターン欠

陥検出方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、例えばLSIやTFTなどのパターンの欠陥を比較検出する方法に係り、特に予め2セル比較可能部の座標を指定しておくことなく2セル比較可能部では2セル比較が、2セル比較不可能部では2チップ比較が自動的に選択されたうえ、パターン欠陥が比較検出されるようにしたパターン欠陥検出方法に関するものである。

#### 〔従来の技術〕

これまでのこの種技術に関する方法としては、論文「コンピュータ コントロールド イメージング システム フォー オートマチック ハイブリッド インスペクション」(ソリッド ステート テクノロジー/オクトーバー 1980)(Computer Controlled Imaging System for Automatic Hybrid Inspection(Solid State Technology/October 1980))に記載されたものが知られている。これによる場合、パターンが検出される度に、検出されたパタ

ターン部分と、周辺回路などのようにパターンの繰返し周期性が乏しいパターン部分とから構成されるようになっている。

ここで、これまでに行なわれていたパターン欠陥検出方法の原理をチップのパターンについて第7図により説明すれば以下のようである。

即ち、チップ各々は全く同一のパターンを有し、また、チップ内部ではセル対応のパターンが一定周期で繰返されていることに着目し、あるチップについてのパターンを検出したうえこれを記憶しておき、このパターンと同一であるべき他のチップについてのパターンが検出される際に、これと記憶されているパターンとを比較することによって、パターンの欠陥が検出されるようになっている。第7図(a),(b),(c)はそれぞれ記憶パターン、検出パターン、パターン差(比較結果としての差)を示すが、記憶パターン、検出パターンの何れにも欠陥が存在しない場合には、パターン差は殆ど生じないようになっている。しかしながら、それらパターンの何れかに欠陥が存在している場合は、

ーンは一時記憶されるとともに、その検出パターンはその直前に記憶されているパターンと比較されることによってパターンの欠陥検出が行なわれるようになっている。より詳細に説明すれば、パターン検出対象はメモリ用LSIなどの半導体ウェーハのパターンや、TFT(Thin Film Transistor)のパターン、プリント配線基板上的パターン、セラミック基板上的パターン、それらを製造する工程で用いられるマスク、レチクルなどのパターンとされる。ここでは一例として半導体ウェーハのパターンについて説明するが、これ以外のパターンについても事情は同様となっている。

さて、半導体ウェーハ上のチップ単位としてのパターンは最終的には切り離されて個々のチップとして得られるが、切り離される前の状態では個別製品としてのチップが数十個1枚のウェーハ上に搭載されたものとなっている。チップ各々のパターンは同一パターンとされるが、チップ単位としてのパターン各々はまた、メモリセル部分などのように一定周期で同一パターンが繰返されるパ

その欠陥部分でパターン差を生じることから、パターン比較の際にパターン差を生じる部分を検出することによって、パターン欠陥が検出されるようになっているものである。その際、パターン差が生じていれば何れかのパターンに欠陥が存在していると判断し得るが、何れのパターンに欠陥が存在しているかは判別し得ないものとなっている(これを判別可能とする方法は実際には各種知られているが、ここではその説明を省略する)。

以上ではパターンは他のチップとの間で比較されている(以下、このような比較方法を2チップ比較方式と称す)が、パターンの比較はまた同一チップ内でのセルパターンについても行なわれるようになっている(以下、このような比較方法を2セル比較方式と称す)。チップやセルといった概念が存在しない場合であっても、全体として同一のパターンを持った部分、一定周期でパターン繰返し性を持った部分として上位概念的に表現するようにすれば、ウェーハ上のパターンだけではなく、一般のパターンに対してもそのような比較方

式を適用することは比較的容易となっている。

ところで、一般に2セル比較方式では2チップ比較方式に比し正常部誤差が小さいことから、欠陥パターン部と正常パターン部との弁別は容易となっている。第8図(a)はあるパターン検出線上でのパターン検出信号波形を、また、第8図(b)、(c)各々にはそれと比較される2セル比較用波形、2チップ比較用波形を、更に第8図(d)、(e)には2セル比較時差波形、2チップ比較時差波形をそれぞれ示すが、これより判るように、パターン正常部での差波形の信号レベルは2セル比較時には小さく現れるが、2チップ比較時には大きく現れるようになっていく。これは、2セル比較では同一チップ内で、しかも近接した位置でのパターンと比較されることから、パターン正常部での各種誤差要因は小さく、この結果としてパターン正常部での差波形の信号レベルは2セル比較時には小さく現れるも、2チップ比較時には大きく現れることになるものである。一方、パターン欠陥部での差波形の信号レベルは2セル比較時と2チップ

比較時とはほぼ同一と考えられている。したがって、差波形の信号レベルを2値化することによって、パターン正常部とパターン欠陥部とを弁別される場合には、弁別のためのしきい値余裕 $\Delta V$ は2チップ比較時よりも2セル比較時で大きく、これがために2セル比較方式では2チップ比較方式に比し、欠陥パターン部と正常パターン部との弁別は容易となっているわけである。

#### [発明が解決しようとする課題]

これまでにおいては、例えばウェハ上のパターン欠陥を検出するには、2チップ比較方式だけによってウェハ全面で欠陥検出を行なっているか、または、2セル比較可能部の座標を指定することによって、2セル比較可能部では2セル比較方式によって、2セル比較不可能部では2チップ比較方式によってパターン欠陥が検出されるようになっている。因みに、ここにいう2セル比較可能部とは、チップ内でメモリセルが予め定められたピッチで周期的に配列されているパターン部分として、また、2セル比較不可能部とは、チップ内で

2セル比較可能部以外のパターン部分、より具体的には周辺回路のようにパターンの配列上周期性に乏しく、2チップ比較方式によってのみパターンの欠陥検出が可能とされているパターン部分として定義されたものである。

これまでにおいては、以上のようにしてパターンの欠陥検出が行なわれていたわけであるが、何れの方法によるにしても特有な不具合を伴っている。というのは、前者方法では2セル比較可能部であっても、2チップ比較方式でパターン欠陥が検出されていることから、2セル比較可能部でのしきい値余裕はいきおい小さくなるというものである。また、後者方法では、ウェハ毎に異なる2セル比較可能部の座標を予め指定しておく、といった前処理が要されるようになっている。

本発明の目的は、2セル比較、2チップ比較を、座標を指定することなく自動的に切換えつつパターン欠陥検出を行ない得るパターン欠陥検出方法を提供するにある。

#### [課題を解決するための手段]

上記目的は、2セル比較可能部、2セル比較不可能部であると否にかかわらず参照画像、あるいは検出画像を、複数の比較画像としての2セル比較する場合の座標で得られた画像、2チップ比較する場合の座標で得られた画像それぞれとの間でパターンマッチング比較を同時に行ない、これら比較結果のうち、最も一致度が高いものに係る画像を選択し、これと参照画像、あるいは検出画像との間でパターン欠陥検出を行なうことで達成される。

#### [作用]

参照画像パターン、あるいは検出画像パターンと複数の比較画像パターン各々とは同時にパターンマッチング比較されるが、これらパターンマッチング比較結果にもとづき何れか1つの比較画像パターン、より具体的には最も大きい一致度に係る比較画像パターンを選択したうえ、参照画像パターン、あるいは検出画像パターンとの間でパターン欠陥検出を行なうようにしたものである。その際、複数の比較画像パターンは複数の2チップ

ブ比較すべき座標のパターンと、複数の2セル比較すべき座標のパターンとされ、複数の2チップ比較すべき座標のパターンはそのパターンの座標と参照画像、あるいは検出画像の座標との差がチップピッチの整数倍に、また、複数の2セル比較すべき座標のパターンはそのパターンの座標と参照画像、あるいは検出画像の座標との差がセルピッチの整数倍に設定された状態で、参照画像パターン、あるいは検出画像パターンとの間でパターンマッチング比較が行なわれるものとなっている。

以上の結果として、2セル比較可能部では2セル比較が、また、2セル比較不可能部では2チップ比較が自動的に選択されるものである。より詳細に説明すれば、2セル比較可能部においては、2セル比較すべき座標のパターンには2セル比較可能なパターンが存在しており、2チップ比較すべき座標のパターンには2チップ比較可能なパターンが存在しているが、2セル比較可能なパターンの方が2チップ比較可能なパターンよりもプロセス上での誤差要因が小さく、したがって、参照

画像、あるいは検出画像との一致度は大きいことから、2セル比較が選択されるものである。一方、2セル比較不可能部では、2セル比較すべき座標のパターンには2セル比較が全く不可能なパターンが存在しており、2チップ比較すべき座標のパターンには2チップ比較可能なパターンが存在していることから、参照画像、あるいは検出画像のパターンとは2チップ比較可能なパターンの方が一致度が大きく、2チップ比較が選択されるものである。

#### 【実施例】

以下、本発明を第1図から第6図により説明する。

先ず本発明の原理に係るパターン欠陥検出装置について説明すれば、第1図はその概略構成を示したものである。これによる場合、ウェハ1-9上のパターンはパターン検出手段1-1によって予め検出されたうえ記憶手段1-2に記憶された後は、新たにパターン検出手段1-1によってウェハ1-9上のパターンが参照画像パターン、あるいは検出画

像パターンとして検出されるようになっている。このパターン検出に同期して比較画像取り出し手段1-3によって記憶手段1-2からは、予め記憶されているパターンより全ての場所においてその参照画像パターン、あるいは検出画像パターンと2セル比較可能部において2セル比較すべき座標のパターンが取り出されるようになっている。これと同様にして記憶手段1-2からは比較画像取り出し手段1-4によって予め記憶されているパターンより全ての場所においてその参照画像パターン、あるいは検出画像パターンと2セル比較不可能部(2チップ比較可能部)において2チップ比較すべき座標のパターンが取り出されるようになっている。比較画像取り出し手段3,4からの比較画像パターンはそれぞれ2セルマッチング比較手段1-5、2チップマッチング比較手段1-6で参照画像パターン、あるいは検出画像パターンとマッチング比較され、マッチング比較結果として一致度が出力されるようになっている。これら一致度にもとづき2チップ/2セル切替手段1-7ではそれら一致度の

中から最も大きい一致度に係る比較方式が選択され、この比較方式に係る比較画像パターンが画像選択手段1-10を介しパターン欠陥検出手段1-8で参照画像パターン、あるいは検出画像パターンと比較されることでパターン欠陥検出が行なわれるようになっているものである。因みに、パターン欠陥検出手段1-8への比較画像パターンや、参照画像パターン、あるいは検出画像パターンはパターンマッチング比較が行なわれている間、遅延手段で一時記憶されたうえパターン欠陥検出手段1-8に与えられるようになっているが、第1図ではそれら遅延手段は図示省略されている。このような事情は他の図でも同様である。

さて、第2図は本発明に係るパターン欠陥検出装置をより具体的に示したものである。本例ではLSIウェハパターン検査装置が想定されており、したがって、パターンはウェハ上でのパターンとされているが、TF Tなどのパターンにも適用可とされていることは勿論である。これによる場合、全体はパターン検出部2-3、画像入力部2-2、画像

処理部2-4および全体制御部2-1より構成され、全体制御部2-1ではXYステージに対する制御や、画像処理部2-4からの欠陥情報の記憶・表示、全体としてのシーケンス管理が行なわれるようになっている。ここでその動作について説明すれば、全体制御部2-1からの指令によって各部が初期化された後は、XYステージ2-3-1上に載置されたウェハ2-3-2は、照明部2-3-4からの照明光が照明レンズ2-3-5などを介し照明された状態で、XYステージ2-3-1による走査に同期してその二次元パターンが対物レンズ2-3-6を介し一次元イメージセンサ2-3-3で検出されるようになっている。一次元イメージセンサ2-3-3で順次光電変換されることによって検出されるパターン検出信号は、画像入力部2-2内でA/D変換器2-2-1によってデジタル化されたうえ画像メモリ部2-2-2に順次記憶されることによって、二次元パターンは画像メモリ2-2-2に所定アドレス順に記憶されるものである。この後、画像メモリ2-2-2内の内容は記憶済として再びウェハ2-3-2の二次元パターンが検

出されるが、この場合でのパターン検出信号は参照画像信号として用いられるようになっている。また、同時に比較信号を画像メモリより読み出した後、次のチップの比較に備えて画像メモリを検出信号で書換えるものとする。この参照画像信号に同期して2チップ画像取り出し部2-4-1、2セル画像取り出し部2-4-2各々によっては2チップ比較用画像、2セル比較用画像が取り出されるものである。

ここで、2チップ画像取り出し部2-4-1について説明すれば、第3図(a)にはウェハの斜視状態が示されているが、2チップ画像取り出し部2-4-1では2チップ比較すべき座標と参照画像の差がチップのピッチに等しいことに着目して、画像メモリ部2-2-2内で一定のアドレスを参照することによって2チップ比較用画像を取り出すべく機能するものとなっている。また、2セル画像取り出し部2-4-2について説明すれば、第3図(b)には第3図(a)に示す丸印部分の拡大状態が示されているが、2セル画像取り出し部2-4-2では2セル

比較すべき座標と参照画像の差がセルのピッチに等しいことに着目して、画像メモリ部2-2-2内で一定のアドレスを参照することによって2セル比較用画像を取り出すべく機能するものとなっている。

さて、参照画像と2チップ比較用画像、2セル比較用画像各々とは2チップマッチング比較部2-4-3、2セルマッチング比較部2-4-4でそれぞれマッチング比較されるが、ここで2チップマッチング比較が如何にして行なわれるかについて説明すれば第4図に示すようである。第4図に示すように、参照画像(検出画像)と2チップ比較用画像からは、2チップ比較用画像を $\Delta X$ 、 $\Delta Y$ 方向に位置ずれ許容量 $\delta$ 画素(本例では $\delta = 1$ が想定されているが、この値は一般に検出対象の寸法精度と欠陥検出装置の位置決め精度で定まり、必要に応じて適当な値が設定されればよい)だけずらした場合でのそれら画像の差が式(1)によって計算されるようになっている。

$$S1(\Delta i, \Delta j) = \sum \sum |f(i, j) - g1(i + \Delta i, j + \Delta j)| \dots \dots (1)$$

但し、 $f(i, j)$ は参照画像の画素 $(i, j)$ における値、 $g1(i, j)$ は2チップ比較用画像の画素 $(i, j)$ における値、 $S1(\Delta i, \Delta j)$ は画像ずらし量 $(\Delta i, \Delta j)$ における画像の差である。また、 $\sum \sum$ は位置ずれが計算される画像領域全体における加算を、 $\Delta i, \Delta j$ はまた $-1$ から $+1$ の値をとるようになっている。2セルマッチング比較部2-4-4でも以上の動作と全く同様な動作が行なわれているものであり、参照画像に対し2セル比較用画像を $\Delta X$ 、 $\Delta Y$ 方向に位置ずれ許容量 $\delta$ 画素だけずらした場合でのそれら画像の差が式(1)によって計算され、各ずらし量に対応した画像の差 $S2$ が一致度(マッチング値)として得られるようになっている。

$$S2(\Delta i, \Delta j) = \sum \sum |f(i, j) - g2(i + \Delta i, j + \Delta j)| \dots \dots (2)$$

但し、 $f(i, j)$ は参照画像の画素 $(i, j)$ における値、 $g2(i, j)$ は2セル比較用画像の画素 $(i, j)$ における値、 $S1(\Delta i, \Delta j)$ は画像ずらし量 $(\Delta i, \Delta j)$ における画像の差である。また、 $\sum \sum$ は位置

ずれが計算される画像領域全体における加算を、 $\Delta i, \Delta j$ はまた-1から+1の値をとるようにになっている。

2チップ/2セル選択部2-4-5ではそれら一致度 $S1, S2$ より最小値が探索されることによって、その最小値を最も一致度が大きいものとしてこれに係る比較方式が選択されるとともに、その最小値が得られる場合での位置ずれ量が求められるようになっている。より詳細に説明すれば、各ずらし量での一致度 $S1, S2$ の中から最小値を求めるが、その最小値が一致度 $S1$ 中より求められれば2チップ比較方式が、また、一致度 $S2$ 中より求められれば2セル比較方式が選択されるものである。また、その最小値が得られる際の画像ずらし量、あるいは位置ずれ量( $\Delta i, \Delta j$ )が併せて求められるものである。2チップ/2セル選択部2-4-5からの、選択された比較方式によっては画像選択部2-4-6でその比較方式に係る比較用画像が選択されるものであり、この比較用画像に対しては画像位置合わせ部2-4-7において2チップ/2セル

選択部2-4-5からの、位置ずれ量にもとづき位置補正が行なわれた後、差画像抽出部2-4-8で参照画像との間で差画像が式(3)によって抽出されるようになっている。

$$S(i, j) = |f(i, j) - g3(i, j)| \cdots \cdots (3)$$

但し、 $f(i, j)$ は参照画像の画素( $i, j$ )での値、 $g3(i, j)$ は位置補正済の比較画像の画素( $i, j$ )での値、 $S(i, j)$ は差画像の画素( $i, j$ )での値を示す。

この $S(i, j)$ の値を欠陥判定部2-4-9では欠陥判定用のしきい値 $V_{th}$ によって2値化したうえ、差が存在する場所での面積や、幅、投影長などの各種特徴量を抽出することによって欠陥の有無が判定されているものである。このように、位置ずれを許容しつつ参照画像と比較される比較画像が選択される場合は、位置決め精度が良好でない場合であっても、パターン欠陥検出が行ない得るものである。

以上、本発明に係るパターン欠陥検出装置の動作概要について説明したが、これに限定されることなく各種の変形実施態様が考えられるものとな

っている。例えばウェハの二次元パターン検出に際しては、XYステージをステップ移動させつつTVカメラによって二次元パターンを検出したり、フォトマルなどのポイント型センサと走査機構を用いるなど、如何なる形式のセンサも使用可となっている。

また、参照画像と比較用画像との画像の差を式(1)、(2)によって計算し、各ずらし量に対応した画像の差をマッチング値として得る代わりに、参照画像と比較用画像各々をフィルタリングすることによってエッジを抽出し、そのエッジ画像に対して画像の差を式(1)、(2)によって計算し、各ずらし量に対応した画像の差をマッチング値として得たり、あるいは参照画像と比較用画像各々をフィルタリングして2値化し、これによって得られるエッジ2値化画像に対して画像の差を式(1)、(2)によって計算し、各ずらし量に対応した画像の差をマッチング値として得ることも可能となっている。エッジにもとづきマッチング値を得る場合には、参照画像と比較用画像のパターンの明るさの

違いなどによる影響を受け難くなるものである。パターン検出光量に変化してもパターン境界としてのエッジ位置は変化しなく、したがって、エッジ位置を比較すれば検出光量変化に影響されることなくマッチング値が得られるものである。

更に、2セル比較、または2チップ比較が行なわれる際の比較対象を一つの座標のみではなく、複数の座標について用意し、参照画像と全ての比較対象各々とを比較するようにすれば、最も小さいマッチング値が選択され得ることになる。換言すれば、参照画像が複数の比較用画像各々と比較される場合には、何れかの比較用画像に大きな欠陥が存在していたとしても、他の比較用画像全てにも欠陥が存在している確率は極めて小さく、したがって、正しい比較方式の選択が可能とされるものである。

更にまた、2セル画像取り出し部では2セル比較すべき座標と参照画像との差がセルのピッチの整数倍とも等しいことに着目し、画像メモリ部内でセルのピッチの整数倍となる一定のアドレスを

参照し2セル比較用画像を取り出すようにすれば、セルピッチの整数倍で画像の比較が行なわれることになり、座標差は画素サイズの整数倍に設定され得ることから、パターン検出の際のサンプリング誤差の影響を受けることなく画像比較が行なわれることになる。例えばセルピッチが $5\mu\text{m}$ 、画素サイズが $0.3\mu\text{m}$ の場合を想定すれば、隣接セルとの比較ではそれとの画素数差は $16.67(=5\mu\text{m}/0.3\mu\text{m})$ となり整数とはならないことになる。このため17画素目のものと比較されることになるが、これでは0.33画素分のずれが生じてしまうことになる。これに対し3セル目と比較すれば、画素数差は $50(=5\mu\text{m}\times 3/0.3\mu\text{m})$ といった具合に整数倍になり、50画素目と比較するようにすれば、画素サイズ以下のずれ無しに比較を行ない得るものである。

以上の他に、2チップ/2セル選択部で選択された比較方式に応じて差画像抽出部や欠陥判定部に与えられる各種パラメータを最適なものに設定する場合は、2セル比較可能部においては、2セ

ル比較部2-4-4でマッチング比較されるが、本例では2セル比較用画像が座標位置が異なるものとしてそれ以外にも2セル画像取り出し部2-4-10によっても取り出されており、取り出された2セル比較用画像は参照画像と2セルマッチング比較部2-4-11でマッチング比較されるようになっている。本例では説明の簡単化上、2セル比較用画像は同時に2つ取り出されているが、これに限定されることなく一般に2以上取り出され得るものとなっている。2チップ/2セル選択部2-4-5では第2図の場合と同様にして、2チップマッチング比較部2-4-3、2セルマッチング比較部2-4-4、2-4-11各々からの、各ずらし量に対応した一致度より最小値が探索されることによって、その最小値を最も一致度が大きいものとしてこれに係る比較方式が選択されるとともに、その最小値が得られる場合での位置ずれ量が求められるようになっているものである。これ以外での動作は第2図の場合と同様であるが、本例での特徴部分は2セル比較用画像が複数取り出されたうえそれぞれが参照画像と

ル比較不可能部よりも欠陥判定用しきい値などがより小さく設定され得ることから、より微細な欠陥が検出され得ることになる。

最後に他の例でのパターン欠陥検出装置について説明すれば、第5図はその構成を示したものである。第2図と実質的に異なるところは、参照画像が画像メモリ部より取り出されていることと、2セル比較用画像が複数取り出されたうえ、それぞれが2セルマッチング比較部で参照画像とマッチング比較されるようになっていることである。

即ち、第2図の場合と同様にしてウェハ2-3-2の二次元パターンは画像メモリ部2-2-2に記憶されるが、本例では参照画像が画像メモリ部2-2-2より取り出される点が第2図の場合異なっている。参照画像取り出し部2-4-12では画像メモリ部2-2-2内の一定アドレスを参照することによって、参照画像が取り出されるようになっているものである。この参照画像は第2図の場合と同様にして、2チップ比較用画像、2セル比較用画像各々と2チップマッチング比較部2-4-3、2セルマッチン

グ比較部2-4-4でマッチング比較されることにあるが、2セル比較用画像は参照画像の両側に設定されることも可能となっている。このように設定される場合は、第6図に示すように、参照画像が2セル比較不可能部近傍に存在する場合であっても、2セル比較用画像の何れかは2セル比較可能部領域内に存在していることから、2セル比較の可能性はその分大きくなるものである。なお、以上の説明では2チップ比較用画像の数は1つとされているが、この画像の数も一般に複数設定可能である。

#### [発明の効果]

以上説明したように、本発明による場合は、2セル比較、2チップ比較を、座標を指定することなく自動的に切換えつつパターン欠陥検出を行ない得ることから、ウェハ品種毎に設定される2セル比較可能部の座標指定が不要とされることになる。また、2セル比較可能部、2セル比較不可能部各々では2セル比較、2チップ比較が行なわれることから、最適な欠陥判定用しきい値を以てパターン欠陥検出を行なえることになる。



4. 図面の簡単な説明

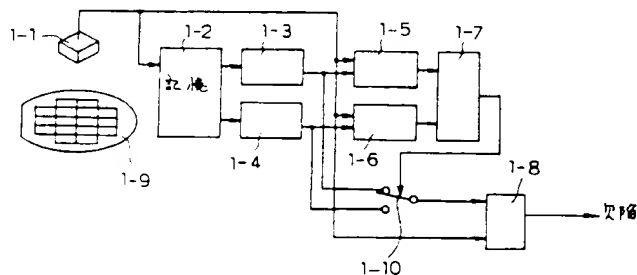
第1図は、本発明方法の原理に係るパターン欠陥検出装置の概略構成を示す図、第2図、第5図は、それぞれ本発明に係るパターン欠陥検出装置をより具体的に示す図、第3図(a)は、ウェハの斜視状態を示す図、同図(b)は、第3図(a)に示す丸印部分の拡大状態を示す図、第4図は、第2図に示す2セル、2チップのマッチング比較部でのマッチング比較処理を説明するための図、第6図は、2セル比較用画像が参照画像の両側に設定される場合での2セル比較の可能性を説明するための図、第7図(a)、(b)、(c)は、従来技術に係るパターン欠陥検出方法を説明するための、記憶パターン、検出パターンおよびこれらパターンの差(比較結果としての差)を示す図、第8図(a)~(e)は、2セル比較方式、2チップ比較方式での正常部誤差の違いを説明するための図である。

1-1…パターン検出手段、1-2…記憶手段、1-3、1-4…比較画像取り出し手段、1-5…2セルマッチング比較手段、1-6…2チップマッチング比較手段、1-7…2チップ/2セル切替手段、1-8…パターン欠陥検出手段、1-9…ウェハ、1-10…画像選択手段

1-7…2チップ/2セル切替手段、1-8…パターン欠陥検出手段、1-9…ウェハ、1-10…画像選択手段

代理人 弁理士 秋本正実

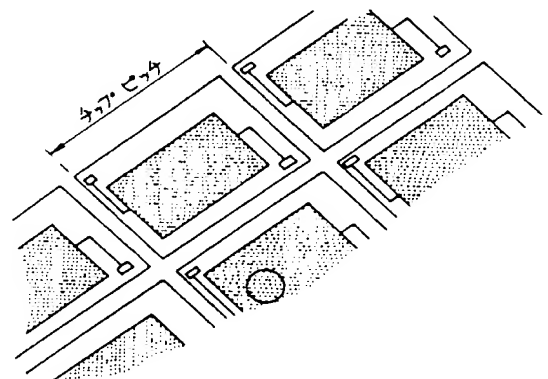
第 1 図



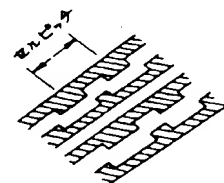
- 1-1 パターン検出手段
- 1-2 記憶手段
- 1-3, 1-4 比較画像取り出し手段
- 1-5 2セルマッチング比較手段
- 1-6 2チップマッチング比較手段
- 1-7 2チップ/2セル切替手段
- 1-8 パターン欠陥検出手段
- 1-9 ウェハ
- 1-10 画像選択手段

第 3 図

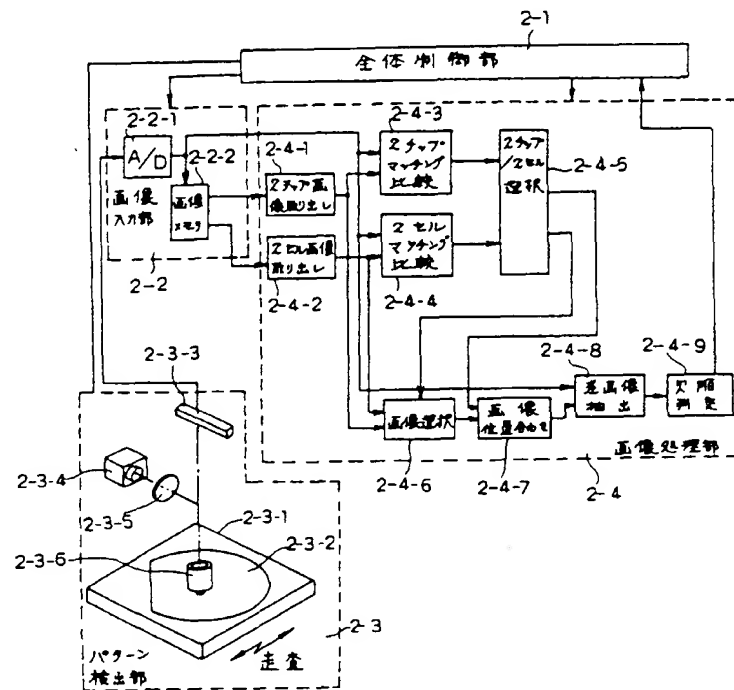
(a)



(b)

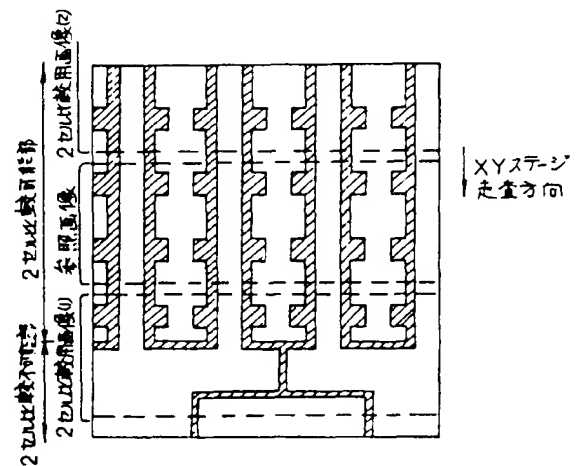
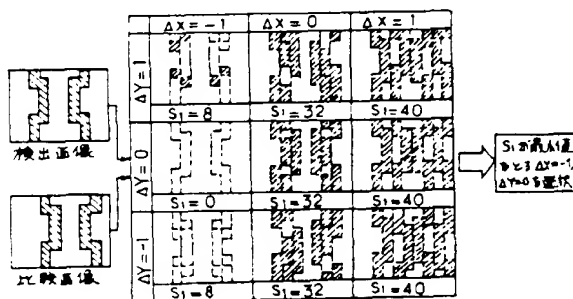


第 2 図

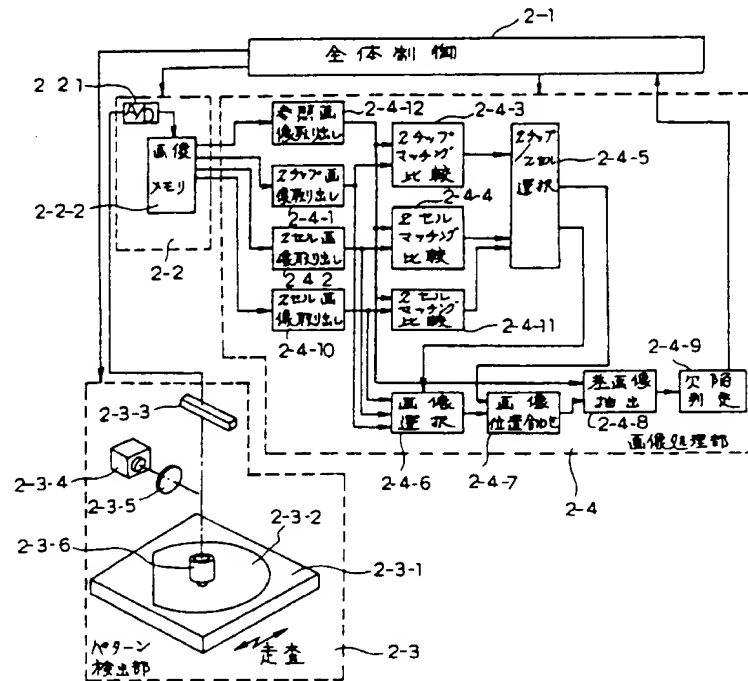


第 6 図

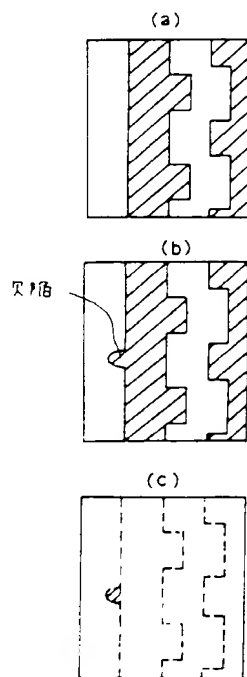
第 4 図



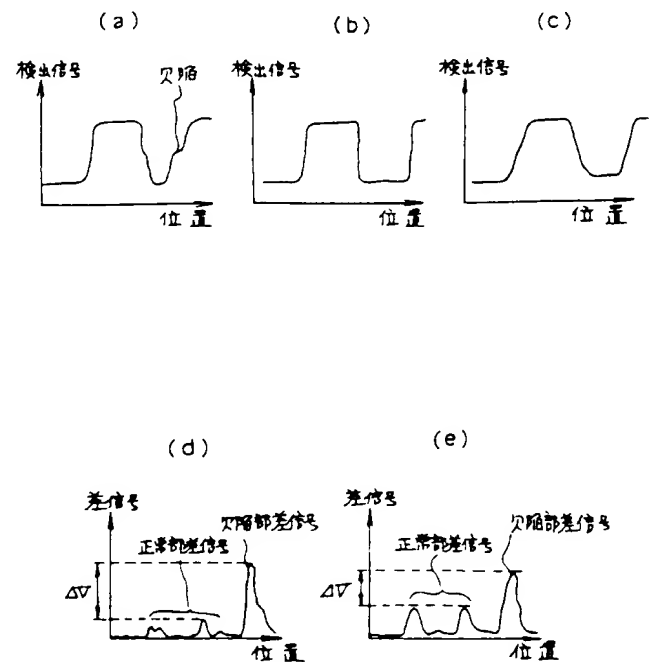
第 5 図



第 7 図



第 8 図



特開平3-102846(11)

第1頁の続き

⑤Int. Cl. <sup>9</sup>

G 06 F 15/62  
H 01 L 21/027

識別記号

4 0 5 A

庁内整理番号

8419-5B

⑦発 明 者 遠 藤

文 昭

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所生産技術研究所内